

Docket No.: 60188-768

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kenji YONEDA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 10, 2004	:	Examiner: Unknown
	:	
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE		

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-103744, filed April 8, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: February 10, 2004**

60188-768  
YONEDA  
February 10, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月    8 日  
Date of Application:

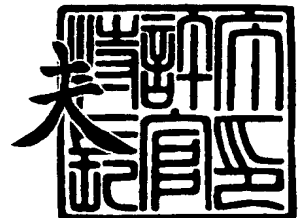
出 願 番 号                      特 願 2 0 0 3 - 1 0 3 7 4 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 0 3 7 4 4 ]

出      願      人                      松下電器産業株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 4 8 0 6

【書類名】 特許願

【整理番号】 2926440171

【提出日】 平成15年 4月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/316

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 米田 健司

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

**【手数料の表示】****【予納台帳番号】** 014409**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0217869**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 表面の少なくとも一部にシリコン層を有する半導体基板の当該シリコン層の表面に、酸化剤を含む溶液によって酸化膜を形成する工程と、

前記酸化膜を、5 eV 以下の電子エネルギーを有し窒素を含むプラズマに曝露して酸窒化膜とする工程と

を含む、半導体装置の製造方法。

【請求項 2】 前記酸化膜を形成する工程の前に、STIにより素子分離領域を形成する工程をさらに備えている、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 半導体基板の表面に形成されている第 1 の酸化膜の一部を除去する工程と、

前記半導体基板の前記第 1 の酸化膜が除去された部位に、酸化剤を含む溶液によって第 2 の酸化膜を形成する工程と、

前記第 1 の酸化膜及び前記第 2 の酸化膜を、5 eV 以下の電子エネルギーを有し窒素を含むプラズマに曝露して酸窒化膜とする工程とを含む、半導体装置の製造方法。

【請求項 4】 請求項 3 において、

前記第 2 の酸化膜を形成する工程の後に、当該第 2 の酸化膜又は前記第 1 の酸化膜の一部を除去する工程と、

前記半導体基板の前記第 2 の酸化膜又は前記第 1 の酸化膜の一部が除去された部位に、酸化剤を含む溶液によって第 3 の酸化膜を形成する工程と、を更に含む、

前記酸窒化膜とする工程では、前記第 3 の酸化膜も酸窒化膜とする、半導体装置の製造方法。

【請求項 5】 前記第 2 の酸化膜の厚みは、前記第 1 の酸化膜の厚みよりも小さい、請求項 3 又は 4 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の酸化膜は、熱酸化又はプラズマ酸化により形成さ

れる、請求項 3 から 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記第 1 の酸化膜は、過塩素酸溶液によって形成される、請求項 3 から 5 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 前記プラズマ中のイオン密度は、 $5 \times 10^9 \text{ cm}^{-3}$ 以上  $1 \times 10^{12} \text{ cm}^{-3}$ 以下である、請求項 1 から 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記プラズマの温度は、 $0^\circ\text{C}$ 以上  $500^\circ\text{C}$ 以下である、請求項 1 から 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記プラズマは、誘導結合プラズマ、マグネトロンプラズマ、ヘリコン波プラズマ及び表面波プラズマからなる群から選ばれた 1 つである、請求項 1 から 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】 前記酸化剤は硝酸である、請求項 1 から 10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】 前記酸化膜とする工程の後に、酸素を含む雰囲気中で前記半導体基板を熱処理する工程をさらに含む、請求項 1 から 11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】 前記熱処理工程では、処理温度が  $800^\circ\text{C}$ 以上  $1100^\circ\text{C}$ 以下であり処理時間が 10 秒以上 120 秒以下である熱処理を行う、請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、

前記ゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいて、物理的な膜厚が  $0.3 \text{ nm}$ 以上  $3 \text{ nm}$ 以下であり、

前記ゲート絶縁膜中の前記窒素の濃度は、当該ゲート絶縁膜の厚み方向において前記ゲート電極が形成された側の面から  $1 \text{ nm}$ 以内で最大であり、

前記窒素の最大濃度は、5 原子%以上 100 原子%以下であり、

前記半導体基板と前記ゲート絶縁膜との界面における窒素濃度は、1.5 原子%以下である、半導体装置。

【請求項 15】 半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、

前記ゲート絶縁膜は、容量－電圧法により測定した電氣的な膜厚が 0.3 nm 以上であり、

前記ゲート絶縁膜の前記電氣的な膜厚は、当該ゲート絶縁膜と物理的な膜厚が同じである二酸化シリコン膜の電氣的な膜厚の 0% よりも大きく 90% 以下であり、

0.5 V 以上 2 V 以下の駆動電圧を印加時の前記ゲート絶縁膜を流れるリーク電流は、前記二酸化シリコン膜を流れるリーク電流の  $1/10000$  以上  $1/3$  以下である、半導体装置。

【請求項 16】 前記ゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいる、請求項 15 に記載の半導体装置。

【請求項 17】 半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、

前記ゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいて、物理的な膜厚が 0.3 nm 以上 3 nm 以下であり、

前記二酸化シリコンは、酸化剤を含む溶液によって形成されたものである、半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は半導体装置の製造方法および半導体装置に関し、特に、溶液酸化によって形成されさらに窒素が導入された酸化膜を有する半導体装置の製造方法および半導体装置に関する。

##### 【0002】

#### 【従来の技術】

一つの半導体基板上に形成された多数のトランジスタの中で、例えば、CMO



S 型（相補型の金属－酸化膜－半導体）デバイスのトランジスタはその駆動能力向上（高速化）のため、ゲート絶縁膜の薄膜化が行われており、最近では 1 ～ 3 nm の膜厚が要求されている。その一方、入出力信号など、高速駆動が必要とはされないが比較的高電圧を取り扱う必要のあるトランジスタでは、ゲート絶縁膜のリーク電流を抑えるため比較的厚膜のゲート絶縁膜が必要であり、この場合の膜厚は、7 ～ 10 nm である。これらのトランジスタは、一つの半導体装置に搭載されるので、厚みの異なる 2 種類以上のゲート絶縁膜を同一基板上に形成することが必要となる。

#### 【0003】

従来、ゲート絶縁膜は主として、ゲート絶縁膜としての特性に優れた酸化膜を形成することができる熱酸化法（例えば、非特許文献 1 参照。）によって半導体基板を酸化して形成されている。一つの半導体基板上に厚みの異なる 2 種類のゲート絶縁膜を形成するには、1 番目のゲート絶縁膜を熱酸化法で形成後、パターンニングによりその一部を除去し、除去した部位に熱酸化法で 2 番目のゲート絶縁膜を形成するという方法が行われている。また、熱酸化法以外にもゲート絶縁膜を形成する方法は、種々検討されている（例えば、特許文献 1 乃至 5 参照。）。

#### 【0004】

駆動能力向上のためにゲート絶縁膜を薄くする手法としては、ゲート絶縁膜中に一酸化窒素中でのアニール処理によって窒素を導入し、電気的な膜厚の薄膜化を図る方法も用いられている。電気的な膜厚とは、静電容量によって測定した厚みであって、物理的な膜厚が同じであっても誘電率が大きいものほどその膜厚が小さく示される。二酸化シリコンよりも窒素が導入されたオキシナイトライドの方が誘電率が大きいので、窒素を導入することで電気的な膜厚が小さくなって、トランジスタの駆動能力が向上する。シリコン酸化膜であるゲート絶縁膜に窒素を導入する方法としては、プラズマを用いる方法が知られている（例えば、特許文献 6）。

#### 【0005】

またゲート絶縁膜に窒素を導入すると、特許文献 6 に記載されているように、

ゲート電極にドーピングされたドーパントがゲート絶縁膜を通り抜けて基板に達することが抑制される。このことを更に説明する。

【0006】

CMOSトランジスタでは、Pチャネルトランジスタのゲート電極には硼素 (Boron) をドーパントとし、Nチャネルトランジスタのゲート電極には磷 (Phosphorous) をドーパントとするデュアルゲート構造が採用される。しかし、硼素は磷に比べ拡散係数が大きいいため、トランジスタ形成後の熱処理によってゲート絶縁膜の中を拡散し、チャネル領域に達しやすい。これが硼素の浸みだしといわれる現象で、しきい値電圧の大幅な変動やトランジスタの駆動能力の劣化などをまねく。とりわけゲート絶縁膜が薄くなるほどこの硼素の浸みだしが大きくなる。しかし、ゲート絶縁膜に窒素を導入すると、この硼素の浸みだしが抑制されるのである。

【0007】

【非特許文献1】

VLSIテクノロジー (VLSI Technology)、McGraw-Hill社  
発行、S.M.Sze編集、1984年、131～168ページ

【特許文献1】

特許第2937817号公報

【特許文献2】

特開平10-50701号公報

【特許文献3】

特開平10-223629号公報

【特許文献4】

特開平11-214386号公報

【特許文献5】

特開2002-64093号公報

【特許文献6】

特開平10-79509号公報

【0008】

**【発明が解決しようとする課題】**

従来方法による複数ゲート絶縁膜の形成方法では、フォトリソスト除去後のウェーハ洗浄により、第1のゲート絶縁膜はエッチングされ一旦膜厚が減少した後、第2のゲート酸化膜形成により再び膜厚が増加する。このことは第1のゲート絶縁膜の膜厚制御性を悪化させるとともに、膜質の面でも、膜のエッチングと追加酸化という形になり膜質の制御も極めて困難になる。

**【0009】**

さらに、厚みの異なる3種類（例えば、7 nm、3 nm、1.5 nm）のゲート絶縁膜を形成する場合を考えると、第2のゲート絶縁膜は3 nmと比較的薄いため、厚みが1.5 nmの第3のゲート絶縁膜を形成する際の膜厚減少及び膜厚増加の影響は、厚みが7 nmの第1のゲート絶縁膜への影響よりも大きくなる。つまり、第2のゲート絶縁膜の膜厚を制御して常に一定の厚みとすることが非常に困難となり、膜厚全体に占める追加酸化による増加分の割合が大きくなるので全体の膜質も大きく低下するのである。

**【0010】**

また、ゲート絶縁膜を薄くすると、特許文献6に記載された方法で酸化膜とする場合に、窒素プラズマの電子エネルギーが約50～1000 eVと極めて高い点が問題となる。例えば、窒素を導入するゲート絶縁膜が、1.5 nmの厚みであったとすると、窒素プラズマがたとえ特許文献6に記載されたエネルギー範囲の加減である50 eVのエネルギーであっても容易にゲート絶縁膜を突き抜け、シリコン基板まで窒化することになる。その結果、窒素プラズマ曝露前の膜厚は1.5 nm程度であっても、窒素プラズマ曝露後にはシリコン基板が窒化され、窒化された部分の合計厚みが2 nmを越えることになり、折角、1.5 nmの酸化膜を形成しても薄い膜厚を得ることができない。当然のことながら1 nm程度のゲート酸化膜についても対応できるわけなく、さらに50 eVより高いエネルギーに至っては全く問題外である。シリコン基板の窒化は膜厚の増加のみならず、移動度の低下による駆動力の低下や、信頼性の低下を招く。

**【0011】**

本発明はこのような事情に鑑みてなされたものであり、その目的とするところ

は、高速駆動に対応した薄いゲート絶縁膜を膜厚制御よく形成でき、更に半導体基板側に貫通しない窒化を行うことのできる半導体装置の製造方法および膜質が良好な薄いゲート絶縁膜を備え半導体基板側がほとんど窒化されていない半導体装置を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

本発明の第1の半導体装置の製造方法は、表面の少なくとも一部にシリコン層を有する半導体基板の当該シリコン層の表面に、酸化剤を含む溶液によって酸化膜を形成する工程と、前記酸化膜を、5 e V以下の電子エネルギーを有し窒素を含むプラズマに曝露して酸窒化膜とする工程とを含む。

#### 【0013】

前記酸化膜を形成する工程の前に、STIにより素子分離領域を形成する工程をさらに備えている。

#### 【0014】

本発明の第2の半導体装置の製造方法は、半導体基板の表面に形成されている第1の酸化膜の一部を除去する工程と、前記半導体基板の前記第1の酸化膜が除去された部位に、酸化剤を含む溶液によって第2の酸化膜を形成する工程と、前記第1の酸化膜及び前記第2の酸化膜を、5 e V以下の電子エネルギーを有し窒素を含むプラズマに曝露して酸窒化膜とする工程とを含む。

#### 【0015】

前記第2の酸化膜を形成する工程の後に、当該第2の酸化膜又は前記第1の酸化膜の一部を除去する工程と、前記半導体基板の前記第2の酸化膜又は前記第1の酸化膜の一部が除去された部位に、酸化剤を含む溶液によって第3の酸化膜を形成する工程と、を更に含み、前記酸窒化膜とする工程では、前記第3の酸化膜も酸窒化膜とする。

#### 【0016】

前記第2の酸化膜の厚みは、前記第1の酸化膜の厚みよりも小さい。

#### 【0017】

ある好適な実施形態において、前記第1の酸化膜は、熱酸化又はプラズマ酸化

により形成される。

【0018】

ある好適な実施形態において、前記第1の酸化膜は、過塩素酸溶液によって形成される。

【0019】

前記プラズマ中のイオン密度は、 $5 \times 10^9 \text{ cm}^{-3}$ 以上 $1 \times 10^{12} \text{ cm}^{-3}$ 以下である。

【0020】

前記プラズマの温度は、 $0^\circ\text{C}$ 以上 $500^\circ\text{C}$ 以下である。

【0021】

前記プラズマは、誘導結合プラズマ、マグネトロンプラズマ、ヘリコン波プラズマ及び表面波プラズマからなる群から選ばれた1つである。

【0022】

前記酸化剤は硝酸である。

【0023】

前記酸化膜とする工程の後に、酸素を含む雰囲気中で前記半導体基板を熱処理する工程をさらに含む。

【0024】

前記熱処理工程では、処理温度が $800^\circ\text{C}$ 以上 $1100^\circ\text{C}$ 以下であり処理時間が10秒以上120秒以下である熱処理を行う。

【0025】

本発明の第1の半導体装置は、半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、前記ゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいて、物理的な膜厚が $0.3 \text{ nm}$ 以上 $3 \text{ nm}$ 以下であり、前記ゲート絶縁膜中の前記窒素の濃度は、当該ゲート絶縁膜の厚み方向において前記ゲート電極が形成された側の面から $1 \text{ nm}$ 以内で最大であり、前記窒素の最大濃度は、5原子%以上100原子%以下であり、前記半導体基板と前記ゲート絶縁膜との界面における窒素濃度は、1.5原子%以下である。

## 【0026】

本発明の第2の半導体装置は、半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、前記ゲート絶縁膜は、容量-電圧法により測定した電氣的な膜厚が0.3 nm以上であり、前記ゲート絶縁膜の前記電氣的な膜厚は、当該ゲート絶縁膜と物理的な膜厚が同じである二酸化シリコン膜の電氣的な膜厚の0%よりも大きく90%以下であり、0.5 V以上2 V以下の駆動電圧を印加時の前記ゲート絶縁膜を流れるリーク電流は、前記二酸化シリコン膜を流れるリーク電流の1/10000以上1/3以下である。

## 【0027】

前記ゲート絶縁膜は、窒素含む二酸化シリコンを主成分として窒素を含んでいる。

## 【0028】

前記ゲート絶縁膜は、電氣的な膜厚が0.3 nm以上3 nm以下である。

## 【0029】

本発明の第3の半導体装置は、半導体基板と、当該半導体基板上に形成されたゲート絶縁膜と、当該ゲート絶縁膜の上に形成されたゲート電極とを備えた半導体装置であって、前記ゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいて、物理的な膜厚が0.3 nm以上3 nm以下であり、前記二酸化シリコンは、酸化剤を含む溶液によって形成されたものである。

## 【0030】

## 【発明の実施の形態】

まず、熱酸化法によるゲート酸化膜（絶縁膜）の薄膜化とプラズマ窒化について本願出願人が検討し、本願発明に至った経緯について述べる。

## 【0031】

熱酸化によって3種類の厚みのゲート酸化膜を形成する場合、最も膜厚の厚い入出力系の第1のゲート酸化膜の膜厚は7 nm近辺であり、フォトリジスト除去後の洗浄で0.4 nm程度エッチングされ、第2のゲート酸化膜形成時に0.2 nm膜厚が増加してもその膜厚変化量はもともとの膜厚に対し3%程度である。

しかし、たとえば第2のゲート酸化膜として2.8 nm、第3のゲート酸化膜として1.6 nm程度を考慮すると、第2のゲート酸化膜の膜厚2.8 nmは、第3のゲート酸化膜形成前のウェーハ洗浄による0.4 nmのエッチングとその後の第3のゲート酸化膜形成時の1.6 nmの酸化での膜厚増加0.1 nm程度とで、合計で0.3 nm程度減少する。この減少は膜厚全体の実に20%に相当し、膜厚制御はもとより膜質に与える影響も多大である。

#### 【0032】

さらに、熱酸化膜により第3のゲート酸化膜である1.6 nmの極薄ゲート酸化膜を形成するためには、活性領域表面に存在する0.3～1 nm程度の（←ご確認ください）自然酸化膜をフッ化水素酸により除去する必要がある。この理由は、まず、1.6 nmの如き酸化膜は5～8原子層程度しか含まないと考えられるため、自然酸化膜を除去しないとすると、膜厚を一定にコントロールすることが非常に困難となるからである。そして、自然酸化膜は第3のゲート酸化膜中の数十%の厚みを占めることになるが、自然酸化膜はゲート絶縁膜として要求される特性が良好ではないからである。従って、活性領域上の自然酸化膜除去は必須となる。

#### 【0033】

ここで、この自然酸化膜除去をフッ化水素酸で行えば、第2のゲート酸化膜はさらに1 nm程度のエッチングを受けることになり、膜厚は当初の半分の1.5 nm程度となってしまう。第2の酸化膜を設計値通りに2.8 nmに仕上げるためには、これらのエッチング量を考慮して最初に4.0 nmの膜厚としておく必要がある。

#### 【0034】

また、熱酸化の如き高温処理においては、1.6 nmという非常に薄い第3のゲート酸化膜を制御性、均一性よく形成するのは極めて困難であり、さらなる薄膜化のため、1 nmあるいはそれ以下の膜厚のゲート酸化膜を熱酸化によって形成するのは、実験レベルではともかく、生産工程において従来の方法では極めて困難と考えられる。

#### 【0035】

このように、従来技術による方法では、ゲート酸化膜形成前のウェーハ洗浄によって、既に形成されているゲート酸化膜の膜厚が減少してしまうことや、さらに追加のゲート酸化による既存酸化膜の膜厚増加、さらには1.5 nm以下の極薄ゲート酸化膜形成時の膜厚制御、膜質制御性に大きな課題があることが明らかになった。

#### 【0036】

次に、比較形態として、熱酸化によりゲート酸化膜を形成し、プラズマにより窒化を行う工程の検討を、図面を参照しながら説明する。

#### 【0037】

図8は、比較形態に係るデュアルオキサイド（異なる膜厚の2種類のゲート絶縁膜）の形成フローを断面模式図により示したものである。

#### 【0038】

図8（a）では、まずSTI（Shallow Trench Isolation）によって素子分離領域72が形成されたシリコン基板71上に、高電圧系の第1のゲート酸化膜73を熱酸化により形成した状態を示している。この第1のゲート酸化膜73は、7 nmの膜厚で形成されている。

#### 【0039】

次に、図8（b）に示すように、第2のゲート絶縁膜を形成する部位（第1の酸化膜除去部位）74上の、第1のゲート酸化膜73をフッ化水素酸などによって除去する。この際、フォトリソスト75をマスクとして行うが、その後、フォトリソスト75除去のためのウェット洗浄および第2のゲート酸化膜76形成前のウェット洗浄により、一旦、第1のゲート酸化膜73の膜厚は当初の7 nmから0.4 nm程度減少する。

#### 【0040】

その後、図8（c）に示すように、熱酸化により低電圧系の膜厚2.2 nmである第2のゲート酸化膜76を形成する。このとき、第1のゲート酸化膜は0.2 nm程度膜厚が増加し6.8 nm程度になる。

#### 【0041】

それから、図8（d）に示すように、約50～1000 eVの電子エネルギー



を有する窒素プラズマ 78 に曝露し、第 1 および第 2 のゲート酸化膜 73, 76 に窒素を導入し、第 1 および第 2 のゲート絶縁膜 81, 82 とする。

#### 【0042】

この後、図 8 (e) に示すように、第 1 および第 2 のゲート絶縁膜 81, 82 の上に、第 1 および第 2 のゲート電極 91, 92 をそれぞれ形成し、LDD やサイドウォール 85 形成、ソースドレイン形成を経て、複数のトランジスタ（ここでは 2 つ）を有する半導体装置 500 が形成されることになる。

#### 【0043】

このようにして形成した第 1 および第 2 のゲート絶縁膜 81, 82 の窒素濃度の SIMS (secondary-ion mass spectrometry) プロファイルを図 9 に示す。ピーク濃度は 5 原子% となるようにプラズマ 78 のパワーと時間を調整したものである。この時のプラズマ 78 の電子エネルギーは約 10 eV であり、特許文献 6 に記載されているプラズマの電子エネルギー最低値の 1/5 である。

#### 【0044】

図 9 (a) に示すように、第 1 のゲート絶縁膜 81 (厚膜 7 nm) においては、窒素の濃度分布は表面 (ゲート電極 91 との界面) から 2 nm 程度の位置にピークを持ち、4 nm 付近で窒素の濃度はほぼ零となる。従って、7 nm の厚膜については従来技術を使用したとしても、第 1 のゲート絶縁膜 81 とシリコン基板 71 との界面付近の窒素濃度はほぼ零であり、シリコン基板 71 が窒化されることもない。

#### 【0045】

しかしながら、図 9 (b) に示すように、第 2 のゲート絶縁膜 82 (薄膜 2.2 nm) については、窒素濃度のピーク位置は、ゲート電極 92 との界面から 2 nm の深さの位置である。このピーク位置は、第 2 のゲート絶縁膜 82 とシリコン基板 71 とのほぼ界面の位置であり、シリコン基板 71 中に窒素のテールを引いていることがわかる。これは窒素プラズマ 78 のエネルギーが膜厚に対し十分に低エネルギーではないために、第 2 のゲート絶縁膜 82 を突き抜けシリコン基板 71 を窒化したためである。このような状態では、高周波 CV (容量-電圧法) などで測定した第 2 のゲート絶縁膜 82 の電氣的膜厚は、シリコン基板 71 が

窒化された直列容量をふくむため、第2のゲート絶縁膜82のみの場合よりも厚くなり、折角のゲート酸化膜76の薄膜化や窒化の効果を活かすことができない。

#### 【0046】

そこで、本願発明者は、以上の知見に基づいて、種々検討した結果、膜厚制御性、膜厚均一性がよく膜質も良好なゲート絶縁膜に関する本発明に至った。

#### 【0047】

以下、本発明の実施の形態について説明をする。なお、本発明は以下の実施形態に限定されない。

#### 【0048】

(実施形態1)

実施形態1は、厚みの異なる2種類のゲート絶縁膜を有する半導体装置に関する。

#### 【0049】

まず、少なくとも表面にシリコン層を有する基板を用意する。この基板は、シリコン基板でもよいし、SOI基板でも構わない。また、シリコン層の表層がエピタキシャル層であるエピウエーハを用いると、表層の欠陥がないため膜質が良好なゲート絶縁膜を形成できて好ましい。

#### 【0050】

次に、STIにより基板に素子分離領域を形成する。

#### 【0051】

それから、入出力信号等の比較的電圧が高い信号を扱うための第1の酸化膜を熱酸化法により基板表面に形成する。この酸化膜の厚みは、7～10nm程度である。なお、形成方法は、熱酸化法に限定されず、プラズマ酸化や高温の過塩素酸溶液を用いた酸化法などでも構わない。これらの酸化法は、比較的厚い酸化膜を短時間で形成でき、膜質も良好であるので、第1の酸化膜を形成する方法として好ましい。

#### 【0052】

その後、第1のゲート絶縁膜として残しておく部分にフォトレジストをマスク

として設け、その他の部分の第1の酸化膜をエッチングにより除去する。

#### 【0053】

フォトレジストを除去した後、基板を酸化剤である熱硝酸に浸漬し、第1の酸化膜を除去した部分に溶液酸化により第2の酸化膜を形成する。ここで基板を熱硝酸に浸漬する代わりに、熱硝酸をスプレーしたり、基板上に熱硝酸を流す等してもよい。第2の酸化膜の厚みは、0.3～2 nm程度である。なお、この溶液酸化によっては、第1の酸化膜の厚みはほとんど増加しない。ここで、酸化剤としては熱硝酸が好ましいが、過塩素酸などを用いても構わない。

#### 【0054】

次に、2種類の酸化膜を形成した基板を室温（約20℃）において電子エネルギーが5 eV以下の窒素を含むプラズマに曝して窒化を行う。この時、プラズマのエネルギーの下限は、プラズマ状態が維持できるエネルギーである。プラズマとしては、誘導結合プラズマ、マグネトロンプラズマ、ヘリコン波プラズマまたは表面波プラズマが好ましい。プラズマの電子エネルギーは0.5 eV以上3 eV以下であると、第2の酸化膜の下に基板にまでは窒素が導入されないことが確実になるのでより好ましい。プラズマ中の窒素イオンの密度は、 $5 \times 10^9 \text{ cm}^{-3}$ 以上 $1 \times 10^{12} \text{ cm}^{-3}$ 以下であることが好ましい。

#### 【0055】

それから、窒化された基板を800℃以上1100℃以下の酸素雰囲気下で10～120秒間熱処理を行う。この熱処理は、SiとNとを確実に結合させるためである。なおこの際、雰囲気は減圧酸素雰囲気でも良く、また効果はやや低下するが、窒素、アルゴン等の非酸化性ガスで熱処理を行ってもよい。

#### 【0056】

次に、基板上にポリシリコン膜を堆積させ、不純物導入、パターニングによってゲート電極を形成する。

#### 【0057】

本実施形態によれば、薄い酸化膜である第2の酸化膜を膜厚の均一性及び再現性よく形成することができ、熱酸化法では形成が非常に困難な1.6 nm以下の酸化膜であっても容易に形成することができる。また、溶液酸化による酸化膜は

膜質がよいことと、低エネルギー高密度の窒素プラズマにより窒化を行っているため、容量－電圧法により測定した電氣的な膜厚を小さくでき、リーク電流を低く抑えることができる。なお、二酸化シリコン膜の電氣的な膜厚は、物理的な膜厚プラス 0.2～0.3 nm であるが、本実施形態の窒化された酸化膜の電氣的な膜厚は、物理的な膜厚とほぼ同じか少し厚い程度である。

#### 【0058】

また、本実施形態のゲート絶縁膜は、二酸化シリコンを主成分として窒素を含んでいる。二酸化シリコンを主成分として窒素を含んでいるとは、二酸化シリコンのシリコンに対して窒素のモル比率が 1% 以上 50% 以下であることを指しており、当該ゲート絶縁膜がシリコン窒化膜とは異なることを意味する。

#### 【0059】

本実施形態の素子分離領域は STI によって形成されている。STI は、シリコン層に絶縁物を埋め込む手法であるので、熱酸化法のように高温プロセスでは、酸化剤が素子分離領域の内壁をも酸化し、それによって素子分離領域内部で酸化による体積膨張が起こり、応力が発生してしまう。応力緩和のために温度を上げて粘性流動が起きるようにすると、今度は不純物が拡散して好ましくない。しかし、本実施形態では、第 2 の酸化膜を比較的低温の溶液酸化により形成しているため、素子分離領域内に酸化剤が拡散することがなく、素子分離領域内壁が酸化されないので応力が発生せず、応力緩和を行う必要がない。

#### 【0060】

また、本実施形態において、半導体基板は少なくとも表面に Si を含む基板であってよく、例えば SiGe 基板などでも構わない。

#### 【0061】

(実施形態 2)

実施形態 2 は、厚みの異なる 3 種類の酸化膜を形成する点が実施形態 1 と異なっているので、実施形態 1 と異なっている点を中心に説明する。

#### 【0062】

実施形態 1 と同様に第 1 の酸化膜、第 2 の酸化膜を基板に形成する。

#### 【0063】

次に、第1および第2のゲート絶縁膜として残しておく部分にフォトレジストをマスクとして設け、その他の部分の第1又は第2の酸化膜をエッチングにより除去する。

#### 【0064】

フォトレジストを除去した後、基板を酸化剤である熱硝酸に浸漬し、第1又は第2の酸化膜を除去した部分に溶液酸化により第3の酸化膜を形成する。第3の酸化膜の厚みは、第2の酸化膜の厚みよりも小さいことが好ましく、0.3～3nm程度である。

#### 【0065】

この後に、実施形態1と同様にして窒化およびゲート電極形成を行う。

#### 【0066】

本実施形態では、第2及び第3の酸化膜を膜厚の均一性及び再現性よく形成することができ、熱酸化法では形成が非常に困難な1.6nm以下の酸化膜を容易に形成することができる。特に、第3の酸化膜を形成する際に、第2の酸化膜はエッチングされるのみで膜の増加はないので、第2の酸化膜の膜厚コントロールが容易であり、膜質も良好に保持できる。また、溶液酸化による酸化膜は膜質がよいことと、低エネルギー高密度の窒素プラズマにより窒化を行っているため、容量-電圧法により測定した電気的な膜厚を小さくでき、リーク電流を低く抑えることができる。

#### 【0067】

##### 【実施例】

以下、図面を参照しながら、本発明による実施例を説明する。以下の図面においては、説明の簡素化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

#### 【0068】

##### (第1の実施例)

ここでは図1に示す模式的な断面で表した工程流れ図を用いて、厚みの異なる2種類のゲート絶縁膜11、12を有する半導体装置100に係る本発明の第1の実施例を説明する。

## 【0069】

まず図1(a)に示すように、P型比抵抗 $0.01 \sim 0.02 \Omega \text{cm}$ の(100)面を主面とするシリコン基板上に比抵抗 $10 \sim 15 \Omega \text{cm}$ 膜厚 $5 \mu\text{m}$ のエピタキシャル層を形成したエピウェーハ(半導体基板)1に、STI(Shallow Trench Isolation)によって深さ $250 \text{nm}$ 、分離幅 $200 \text{nm}$ の素子分離領域2, 2, 2を形成し、さらに、ウェル形成、活性領域へのしきい値電圧調整のイオン注入による不純物導入を行った。この半導体基板1を、 $50^\circ\text{C}$ のSC-1洗浄液( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ )により洗浄した後、希釈フッ化水素酸により表面の自然酸化膜を除去した。その後、RTP装置中において $1050^\circ\text{C}$ 、 $\text{H}_2/\text{O}_2$ の混合雰囲気中で、熱酸化法によって膜厚 $7.2 \text{nm}$ の第1のゲート酸化膜(第1の酸化膜)3を形成した。なお、SC-1洗浄液による洗浄法は、RCA洗浄法(W.Kern, D.A.Plutien: RCAレビュー31、187ページ、1970年)という公知の洗浄方法である。

## 【0070】

このとき、第1の酸化膜3は、素子分離膜2, 2, 2によって分割された、第1のゲート絶縁膜11が形成される領域と第2のゲート絶縁膜12が形成される領域との両方に成長している。その後、図1(b)に示すように、第1のゲート絶縁膜11が形成される領域上にはマスクとしてフォトレジスト5を形成して、第2のゲート絶縁膜12が形成される領域上の第1の酸化膜3を希釈フッ化水素酸によりエッチングして除去した。

## 【0071】

次に、図1(c)に示すように、フォトレジスト5を $130^\circ\text{C}$ 硫酸・過酸化水素水の混合液により除去した後、 $80^\circ\text{C}$ の50%の熱硝酸中7に30分浸漬し、第1の酸化膜3が除去された部位4に膜厚 $1.4 \text{nm}$ の第2のゲート酸化膜(第2の酸化膜)6である $\text{SiO}_2$ 膜を形成した。この第2の酸化膜6の膜厚均一性は、エリプソメトリーによる測定で $200 \text{mm}$ ウェーハ面内で $0.01 \text{nm}$ ( $\sigma$ )であった。一方、このとき、第1の酸化膜3の平均膜厚は $7 \text{nm}$ であった。

## 【0072】

それから、図1(d)に示すように、第1の酸化膜3と第2の酸化膜6を、室

温 (30℃) で誘導結合プラズマ (12.56 MHz、500 W の条件) によって生成した電子エネルギー 1.0 eV の窒素プラズマ 8 に 20 秒間曝露した。このときの温度は室温 (30℃) であり、窒素プラズマ 18 中のイオン密度は、 $5 \times 10^{10} \text{ cm}^{-3}$  であった。なお、この際、添加ガスとしてヘリウムを用いた。この窒素プラズマ 8 曝露により、第 1 および第 2 の酸化膜 3, 6 は、第 1 および第 2 のゲート絶縁膜である酸窒化膜 11, 12 に改質された。

#### 【0073】

ついで、1000℃、5 Torr の酸素雰囲気中で 20 秒間熱処理を行った。

#### 【0074】

次に、図 1 (e) に示すように、620℃ で 150 nm 厚みの多結晶シリコン膜を堆積し、N チャネルゲートには燐を、P チャネルゲートには硼素をドーピングし、公知のフォトリソグラフィによるパターンニングとドライエッチングによりゲート電極 21, 22 の加工を行った。

#### 【0075】

その後、LDD 領域へのイオン注入を行い、さらに、650℃ での TEOS (tetra ethyl ortho silicate) を用いた減圧 CVD による堆積とエッチバックによりサイドウォール 15 を形成した。そして、ソースドレイン領域を、N チャネルにはヒ素を、P チャネルには硼素をイオン注入することにより形成した。その後、通常の層間膜工程、配線工程を行った。

#### 【0076】

こうして形成した第 1 のゲート絶縁膜 11 及び第 2 のゲート絶縁膜 12 の電気的な膜厚を高周波 CV (容量-電圧法) 測定によって測定したところ、第 1 のゲート絶縁膜が 7.2 nm、第 2 のゲート絶縁膜が 1.4 nm であった。なお、このとき二酸化シリコンの誘電率を 3.9 として測定をおこなった。物理的な膜厚は、第 1 のゲート絶縁膜 11 は、7.0 nm であり、第 2 のゲート絶縁膜 12 は、1.4 nm であった。なお、物理的な膜厚が 1.4 nm である二酸化シリコン膜の高周波 CV 測定を行ったところ、電気的な膜厚は 1.6 nm であった。また、第 1 及び第 2 のゲート絶縁膜 11, 12 の厚み方向の窒素プロファイルを SIMS で測定したところ、ゲート絶縁膜 11, 12 のゲート電極 21, 22 が形成

された側の面から 0.5 nm の位置に 10 原子% のピークをもつ窒素濃度分布を確認した。また、第 1 のゲート絶縁膜 11 と半導体基板 1 との界面の部分での窒素濃度は、0.01 原子% 以下であり、第 2 のゲート絶縁膜 12 と半導体基板 1 との界面の部分での窒素濃度は、1.0 原子% であって、どちらも半導体基板 1 はほとんど窒化されていなかった。

#### 【0077】

(第 2 の実施例)

図 2 に示す模式的な断面で表した工程流れ図を用いて、1 種類のゲート絶縁膜 32 を有する半導体装置 200 に係る本発明の第 2 の実施例を説明する。

#### 【0078】

まず図 2 (a) に示すように、P 型比抵抗 0.01 ~ 0.02  $\Omega \text{ cm}$  の (100) 面を主面とするシリコン基板上に比抵抗 10 ~ 15  $\Omega \text{ cm}$  膜厚 5  $\mu \text{m}$  のエピタキシャル層を形成したエピウェーハ (半導体基板) 1 に、STI (Shallow Trench Isolation) によって深さ 250 nm、分離幅 200 nm の素子分離領域 2、2 を形成し、さらに、ウェル形成、活性領域へのしきい値電圧調整のイオン注入による不純物導入を行った。

#### 【0079】

それから、図 2 (b) に示すように、この半導体基板 1 を、50  $^{\circ}\text{C}$  の SC-1 洗浄液 ( $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ ) により洗浄した後、希釈フッ化水素酸により表面の自然酸化膜を除去した。その後、80  $^{\circ}\text{C}$  の 50 % の熱硝酸中 7 に 10 分浸漬し、膜厚 1.1 nm のゲート酸化膜 31 である  $\text{SiO}_2$  膜を堆積した。膜厚は分光エリプソメトリーにより測定し、このとき面内の膜厚分布は 0.01 nm ( $\sigma$ ) であった。

#### 【0080】

その後、図 2 (c) に示すように、13.56 MHz、300 W のマグネトロンプラズマで形成した窒素プラズマ 18 にゲート酸化膜 31 を 15 秒間曝露し、ゲート絶縁膜となる酸窒化膜 32 に改質した。このときの温度は室温 (30  $^{\circ}\text{C}$ ) であり、窒素プラズマ 18 中のイオン密度は、 $3 \times 10^{10} \text{ cm}^{-3}$  であった。このとき添加ガスは用いず窒素のみでプラズマを生成した。窒素プラズマの電子エネ



ルギーは  $1\text{ eV}$  以下と推定される。

#### 【0081】

その後、図 2 (d) に示すように、 $620^{\circ}\text{C}$  で  $150\text{ nm}$  厚みの多結晶シリコン膜を堆積し、Nチャネルゲートの場合には燐を、Pチャネルゲートの場合には硼素をドーピングし、公知のフォトリソグラフィーによるパターンニングとドライエッチングによりゲート電極 24 の加工を行った。

#### 【0082】

そして、LDD領域 27, 27 へのイオン注入を行い、さらに、 $650^{\circ}\text{C}$  での TEOS (tetra ethyl ortho silicate) を用いた減圧 CVD による堆積とエッチバックとによりサイドウォール 15 を形成した。そして、Nチャネルにはヒ素を、Pチャネルには硼素をイオン注入することによりソースドレイン領域 26, 26 を形成した。その後、通常の層間膜工程、配線工程を行った。

#### 【0083】

このようにして形成したゲート絶縁膜 32 の電気的な膜厚を高周波 CV (容量-電圧法) 測定によって測定したところ、電気的な膜厚は  $1.1\text{ nm}$  であった。物理的な膜厚は、 $1.1\text{ nm}$  であった。なお、物理的な膜厚が  $1.1\text{ nm}$  である二酸化シリコン膜の高周波 CV 測定を行ったところ、電気的な膜厚は  $1.3\text{ nm}$  であった。また、ゲート絶縁膜 32 の厚み方向の窒素プロファイルを SIMS で測定したところ、ゲート絶縁膜 32 のゲート電極 24 が形成された側の面から  $0.5\text{ nm}$  の位置に 8 原子%のピークをもつ窒素濃度分布を確認した。また、ゲート絶縁膜 32 と半導体基板 1 との界面の部分での窒素濃度は、 $1.0$  原子%であって、半導体基板 1 はほとんど窒化されていないことを確認した。

#### 【0084】

(第 3 の実施例)

ここでは図 3、図 4 に示す模式的な断面で表した工程流れ図を用いて、厚みの異なる 3 種類のゲート絶縁膜 11, 12, 13 を有する半導体装置 300 に係る本発明の第 3 の実施例を説明する。

#### 【0085】

まず図 3 (a) に示すように、P 型比抵抗  $0.01 \sim 0.02\ \Omega\text{ cm}$  の ( $10$

0) 面を主面とするシリコン基板上に比抵抗  $10 \sim 15 \Omega \text{cm}$  膜厚  $5 \mu\text{m}$  のエピタキシャル層を形成したエピウェーハ (半導体基板) 1 に、STI (Shallow Trench Isolation) によって深さ  $250 \text{nm}$ 、分離幅  $200 \text{nm}$  の素子分離領域 2, 2, 2, 2 を形成し、さらに、ウェル形成、活性領域へのしきい値電圧調整のイオン注入による不純物導入を行った。この半導体基板 1 を、 $50^\circ\text{C}$  の SC-1 洗浄液 ( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ ) により洗浄した後、希釈フッ化水素酸により表面の自然酸化膜を除去した。その後、RTP 装置中において  $1050^\circ\text{C}$ 、 $\text{H}_2/\text{O}_2$  の混合雰囲気中で、熱酸化法によって膜厚  $5.5 \text{nm}$  の第 1 のゲート酸化膜 (第 1 の酸化膜) 3 を形成した。

#### 【0086】

このとき、第 1 の酸化膜 3 は、素子分離膜 2, 2, 2, 2 によって分割された、第 1 のゲート絶縁膜 11 が形成される領域、第 2 のゲート絶縁膜 12 が形成される領域および第 3 のゲート絶縁膜 13 が形成される領域の全てに成長している。その後、図 3 (b) に示すように、第 1 のゲート絶縁膜 11 が形成される領域上にはマスクとしてフォトレジスト 5 を形成して、希釈フッ化水素酸により、第 2 のゲート絶縁膜 12 が形成される領域および第 3 のゲート絶縁膜 13 が形成される領域上の第 1 の酸化膜 3 をエッチングして除去した。

#### 【0087】

次に、図 3 (c) に示すように、フォトレジスト 5 を  $130^\circ\text{C}$  硫酸・過酸化水素水の混合液により除去した後、 $80^\circ\text{C}$  の 50% の熱硝酸中 7 に半導体基板 1 を 60 分浸漬し、第 1 の酸化膜 3 が除去された部位 4 に膜厚  $2 \text{nm}$  の第 2 のゲート酸化膜 (第 2 の酸化膜) 6 である  $\text{SiO}_2$  膜を形成した。

#### 【0088】

それから、図 3 (d) に示すように、第 1 のゲート絶縁膜 11 が形成される領域および第 2 のゲート絶縁膜 12 が形成される領域上に、マスクとしてフォトレジスト 25 を形成して、希釈フッ化水素酸により、第 3 のゲート絶縁膜 13 が形成される領域上の第 2 の酸化膜 6 をエッチングして除去した。

#### 【0089】

次に、図 4 (a) に示すように、フォトレジスト 25 を  $130^\circ\text{C}$  硫酸・過酸化

水素水の混合液により除去した後、80℃の50%の熱硝酸中7に半導体基板1を10分浸漬し、第2の酸化膜6が除去された部位14に膜厚1.1nmの第3のゲート酸化膜（第3の酸化膜）9であるSiO<sub>2</sub>膜を形成した。このとき、第1の酸化膜3の平均膜厚は5.5nmのままであり、第2の酸化膜6は2nmのままであった。

#### 【0090】

この第2の酸化膜6および第3の酸化膜9の膜厚均一性は、エリプソメトリーによる測定で、いずれも200mmウェーハ面内で0.01nm( $\sigma$ )であった。

#### 【0091】

この工程において、膜厚5.5nmの第1の酸化膜3、膜厚2nmの第2の酸化膜6、膜厚1.1nmの第3の酸化膜9の3種類の膜厚のゲート酸化膜が形成されていることになる。

#### 【0092】

ついで、図4(b)に示すように、これらの酸化膜3, 6, 9が形成された基板1をマイクロ波励起の表面波プラズマである1500W、400℃の窒素プラズマ28に10秒間曝露した。このとき、添加ガスとしてアルゴンを用いた。このときの推定電子エネルギーは1eV程度であり、窒素プラズマ28中のイオン密度は、 $7 \times 10^{10} \text{ cm}^{-3}$ であった。

#### 【0093】

ついで、1000℃、5 Torrの酸素雰囲気中で20秒間熱処理を行った。

#### 【0094】

次に、図4(c)に示すように、620℃で150nm厚みの多結晶シリコン膜を堆積し、Nチャネルゲートには燐を、Pチャネルゲートには硼素をドーピングし、公知のフォトリソグラフィーによるパターンニングとドライエッチングによりゲート電極21, 22, 23の加工を行った。

#### 【0095】

その後、LDD領域へのイオン注入を行い、さらに、650℃でのTEOS (tetra ethyl ortho silicate) を用いた減圧CVDによる堆積とエッチバックと

によりサイドウォール15を形成した。そして、Nチャネルにはヒ素を、Pチャネルには硼素をイオン注入することにより、ソースドレイン領域を形成した。その後、通常の層間膜工程、配線工程を行った。

#### 【0096】

こうして形成した第1のゲート絶縁膜11、第2のゲート絶縁膜12および第3のゲート絶縁膜13の電気的な膜厚を高周波CV（容量-電圧法）測定によって測定したところ、第1のゲート絶縁膜11が5.7nm、第2のゲート絶縁膜12が1.9nm、第3のゲート絶縁膜13が1.0nmであった。また、物理的な膜厚は、第1のゲート絶縁膜11は、5.5nm、第2のゲート絶縁膜12は、2.0nmであり、第3のゲート絶縁膜13は、1.1nmであった。なお、物理的な膜厚が2.0nmである二酸化シリコン膜の高周波CV測定を行ったところ、電気的な膜厚は2.2nmであり、物理的な膜厚が1.1nmのものは、電気的な膜厚が1.3nmであった。

#### 【0097】

図5は、本実施形態に係る半導体装置の3種類のゲート絶縁膜11、12、13の膜厚み方向の窒素濃度のSIMS分布である。第1の実施例でも述べたように、膜表面（ゲート電極との界面）からの窒素濃度のピーク位置は約0.5nmであり、ピーク濃度は12原子%であった。この窒素プロファイルは3種類の膜厚について略同一であり、最もベース酸化膜厚の薄い、1.1nmの第3のゲート絶縁膜13に対しても、ゲート絶縁膜13と半導体基板1との界面での窒素濃度は1原子%以下となり、基板1側の窒化はほとんど観察されなかった。このことにより、高周波CV測定による電気的膜厚は、1.0nmと極めて薄い値が得られた。この第3のゲート絶縁膜13のリーク電流は、同じ物理的膜厚の熱酸化膜に比べリーク電流の2桁の減少（約1/100）も観察され、化学酸化膜によるベース酸化膜形成と、その後の低エネルギー、高密度窒素プラズマによる窒化が極薄ゲート絶縁膜のリーク電流低減、電気的な膜厚減少に極めて有効であることが確認された。

#### 【0098】

次に、リーク電流に関して説明する。

## 【0099】

図6は、熱酸化法で形成したシリコン酸化膜と、本発明の手法により形成した、酸化膜換算膜厚0.8～1.8nmの膜厚の酸窒化膜（ゲート絶縁膜）との、駆動電圧が2Vのときのリーク電流を示したものである。酸化膜換算膜厚とは、ある膜の膜厚として、その膜の電気的な膜厚と同じ電気的な膜厚を示す二酸化シリコン膜の物理的な膜厚として示したものである。

## 【0100】

一般的に、ゲート酸化膜の薄膜化は、ゲート酸化膜を流れるリーク電流の増大をまねく。二酸化シリコン膜の伝導機構は通常はFowler-Nordheimトンネル電流によるが、膜厚が3.5nm以下の領域では直接トンネル電流が支配的となり、膜厚が0.2nm減少するにしたがいリーク電流は1桁ずつ増加する。このため、膜厚が2.6nm以下ではトランジスタにおけるリーク電流のうち、ゲート絶縁膜を流れるゲートリーク電流が無視できなくなり、従来のゲート絶縁膜では、このリーク電流の低減も大きな課題の一つである。しかし、本発明により形成した酸窒化膜のリーク電流は、熱酸化により形成したシリコン酸化膜のリーク電流に比べ約1.5～2桁小さいことがわかった。図6に示された範囲では、本発明に係る酸窒化膜のリーク電流は、同じ物理的膜厚の熱酸化膜のリーク電流の約1/20～約1/100である。これは、熱硝酸を用いて形成した化学酸化膜の優れた膜質と、低エネルギーの窒素プラズマ曝露による酸窒化膜形成の有効性を示すものである。

## 【0101】

（第4の実施例）

ここでは図7を用いて本発明の第4の実施例を説明する。

## 【0102】

図7は、金属-絶縁膜-半導体からなる電界効果トランジスタあるいはキャパシタの実施例として、実際のソース・ドレイン工程やLDD工程、ウェル工程、分離工程など本発明と直接関係しない工程を省略したMIS構造の半導体装置400の模式図である。シリコンからなる半導体基板1上には、濃度50%、温度80℃の熱硝酸中に浸すことにより形成された、膜厚1.5nmの酸化膜が設け

られている。この酸化膜を、誘導結合型プラズマにより窒素ガスとヘリウムガスの混合ガスから生成したイオン密度  $2 \times 10^{10} \text{ cm}^{-3}$  の窒素プラズマに暴露することにより窒素原子を酸化膜中に導入し、ゲート絶縁膜 51 とした。このとき、ゲート絶縁膜 51 の表面から 0.5 nm の位置に窒素のピークがくるように調整した。このピークの窒素濃度は 16 原子%であった。また、ゲート絶縁膜 51 と半導体基板 1 との界面における窒素濃度は 0.9 原子%であった。

#### 【0103】

この後、ゲート電極 52 として、ここでは不純物として硼素をドーピングした多結晶シリコン膜を堆積した。

#### 【0104】

このように、ゲート絶縁膜 51 中の窒素プロファイルとして電極側を高濃度に、またシリコン基板 1 とゲート絶縁膜 51 との界面での窒素濃度を 1 原子%程度にすることにより、表面側の高濃度窒素が電極 52 である多結晶シリコン膜中の硼素の拡散を抑制することができる。従って、硼素がゲート絶縁膜 51 中を拡散し、ゲート絶縁膜 51 直下の基板 1 のシリコンに拡散し、移動度の低下や、しきい値電圧の変動を防止することができる。また、ゲート絶縁膜 51 は、高濃度の窒素により二酸化シリコン膜固有の誘電率 3.9 よりも高い誘電率を示すようになり、その結果、二酸化シリコン膜と同等の物理膜厚でより高い静電容量を得ることができる。言い換えれば、二酸化シリコン膜よりも薄い電氣的膜厚を得ることができ、トランジスタの駆動能力を向上させることができる。

#### 【0105】

また、ゲート絶縁膜 51 とシリコン基板 1 界面に高濃度の窒素が存在する場合には、これら高濃度窒素による不純物散乱や、界面準位の発生、固定電荷の発生によりトランジスタの移動度、しきい値電圧の変動をきたす。しかし、本実施例のように界面における窒素濃度が 1 原子%程度では、界面の結合の乱れからくるダングリングボンドやブローケンボンドによって生ずる界面特性の劣化を抑制することが可能となる。これは界面の窒素量が、元来二酸化シリコン膜とシリコンの異種材料の接合にともなって界面近傍に存在するダングリングボンドやブローケンボンドの未結合手を終端するのに見合った量存在していることによるもので

あり、この窒素量が過剰な場合、未結合手を終端するのみならず、正常な結合まで窒素により置き換えてしまうため副作用を生ずるものである。また、ゲート絶縁膜中の高濃度の窒素は、リーク電流も減少させるので、本実施例のゲート絶縁膜を用いることにより、従来の二酸化シリコン膜にない、低リーク電流かつ高誘電率を実現することができ、トランジスタの性能を飛躍的に向上させることができる。

#### 【0106】

##### 【発明の効果】

以上のように、酸化剤である熱硝酸により酸化膜を形成し、その酸化膜を 5 eV 以下の電子エネルギーを有し窒素を含むプラズマに曝露して酸窒化膜であるゲート絶縁膜を形成し、これを用いて半導体装置を形成しているので、この半導体装置のゲート絶縁膜は、膜厚が均一であり且つ同じ膜厚を再現性よく得られ、膜質も優れているとともに、電氣的膜厚が小さくリーク電流も小さくできる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の第 1 の実施例を模式的な断面で示す工程流れ図である。

##### 【図 2】

本発明の第 2 の実施例を模式的な断面で示す工程流れ図である。

##### 【図 3】

本発明の第 3 の実施例の前半を模式的な断面で示す工程流れ図である。

##### 【図 4】

本発明の第 3 の実施例の後半を模式的な断面で示す工程流れ図である。

##### 【図 5】

本発明の第 3 の実施例で形成したゲート絶縁膜厚み方向の窒素分布を示す図である。

##### 【図 6】

酸化膜換算膜厚とリーク電流の関係を示す図である。

##### 【図 7】

本発明の第 4 の実施例を示す模式的な断面図である。

## 【図 8】

比較形態を模式的な断面で示す工程流れ図である。

## 【図 9】

比較形態で形成したゲート絶縁膜厚み方向の窒素分布を示す図である。

## 【符号の説明】

1	シリコン基板（半導体基板）
2	素子分離領域
3	第 1 のゲート酸化膜（第 1 の酸化膜）
4	第 1 の酸化膜の除去部位
5、2 5	フォトレジスト
6、7 6	第 2 のゲート酸化膜（第 2 の酸化膜）
7	熱硝酸
8、1 8，2 8	プラズマ
9	第 3 のゲート酸化膜（第 3 の酸化膜）
1 1	第 1 のゲート絶縁膜（第 1 の酸化窒化膜）
1 2	第 2 のゲート絶縁膜（第 2 の酸化窒化膜）
1 3	第 3 のゲート絶縁膜（第 3 の酸化窒化膜）
1 4	第 2 の酸化膜の除去部位
1 5	サイドウォール
2 1	第 1 のゲート電極
2 2	第 2 のゲート電極
2 3	第 3 のゲート電極
2 4、5 2	ゲート電極
3 1	ゲート酸化膜（酸化膜）
3 2、5 1	ゲート絶縁膜（酸化窒化膜）
1 0 0	半導体装置
2 0 0	半導体装置
3 0 0	半導体装置

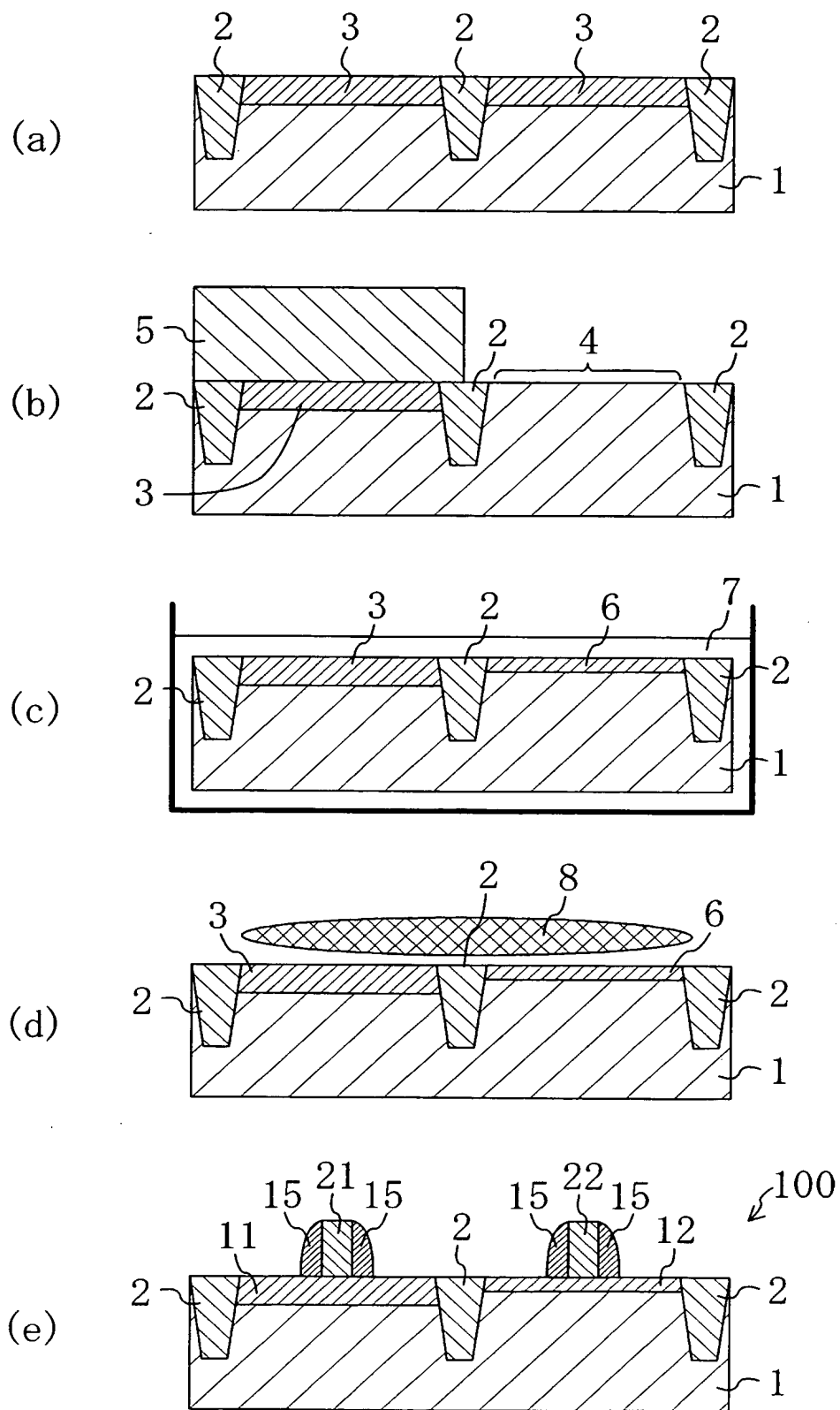


4 0 0

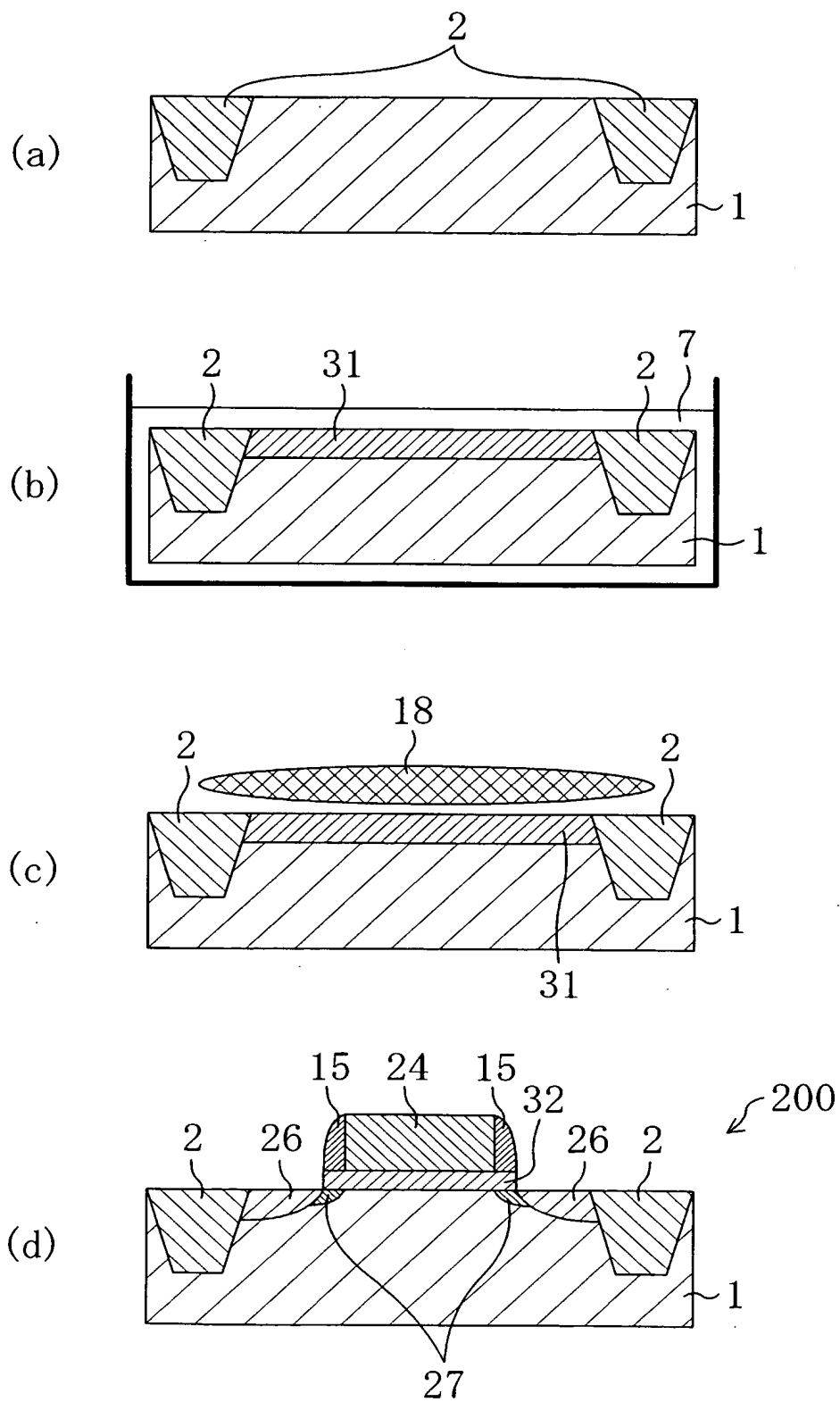
半導体装置

【書類名】 図面

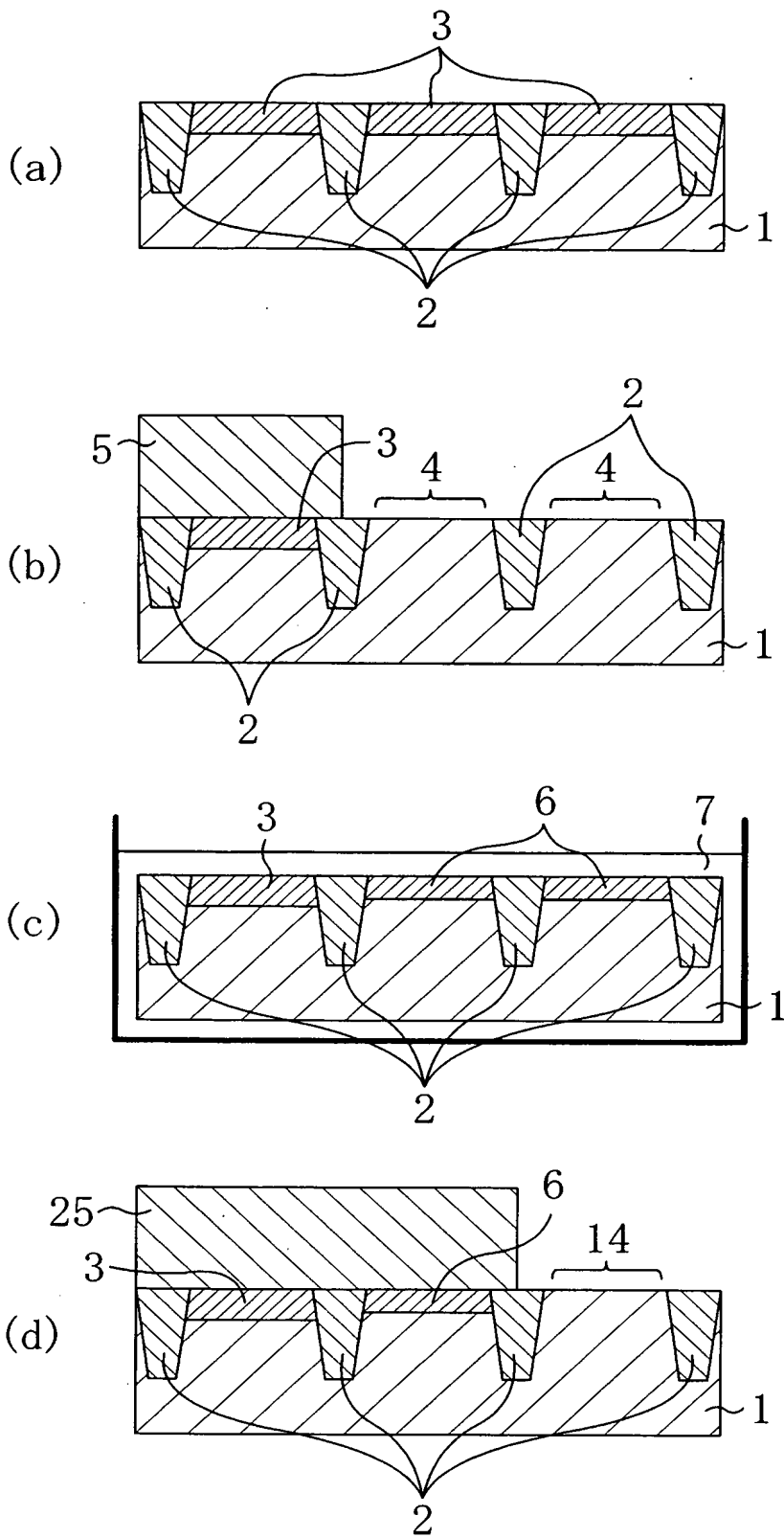
【図 1】



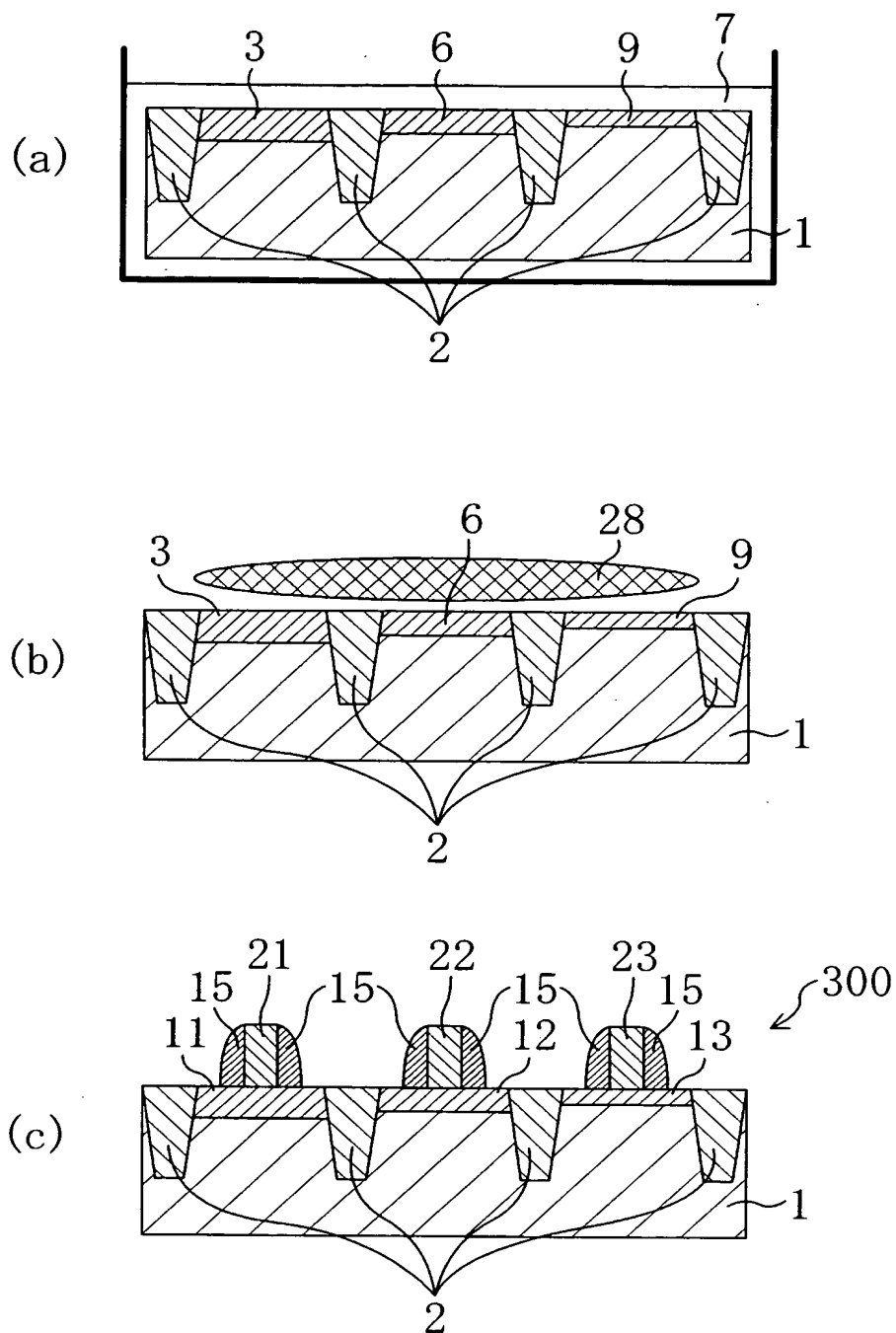
【図 2】



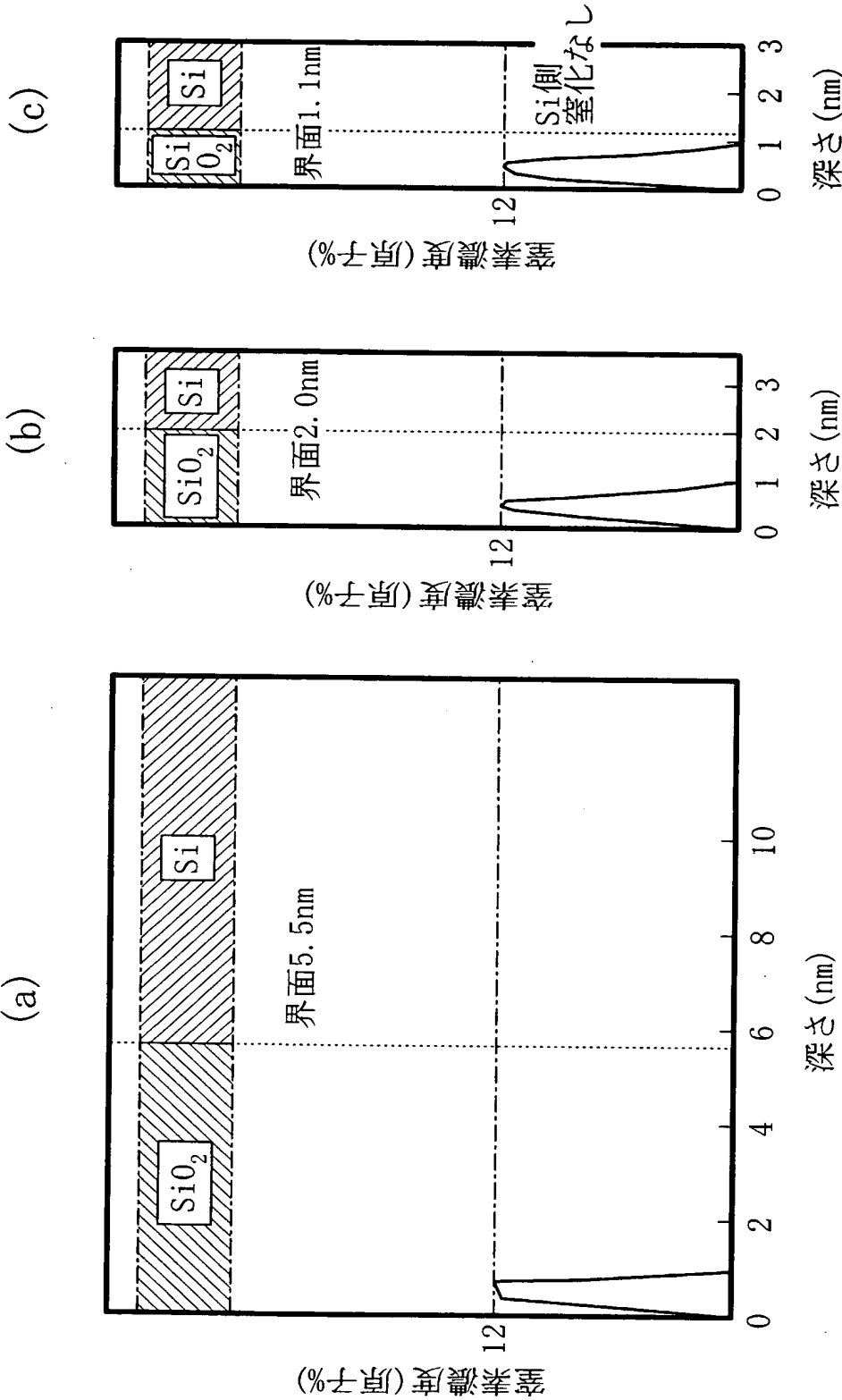
【図 3】



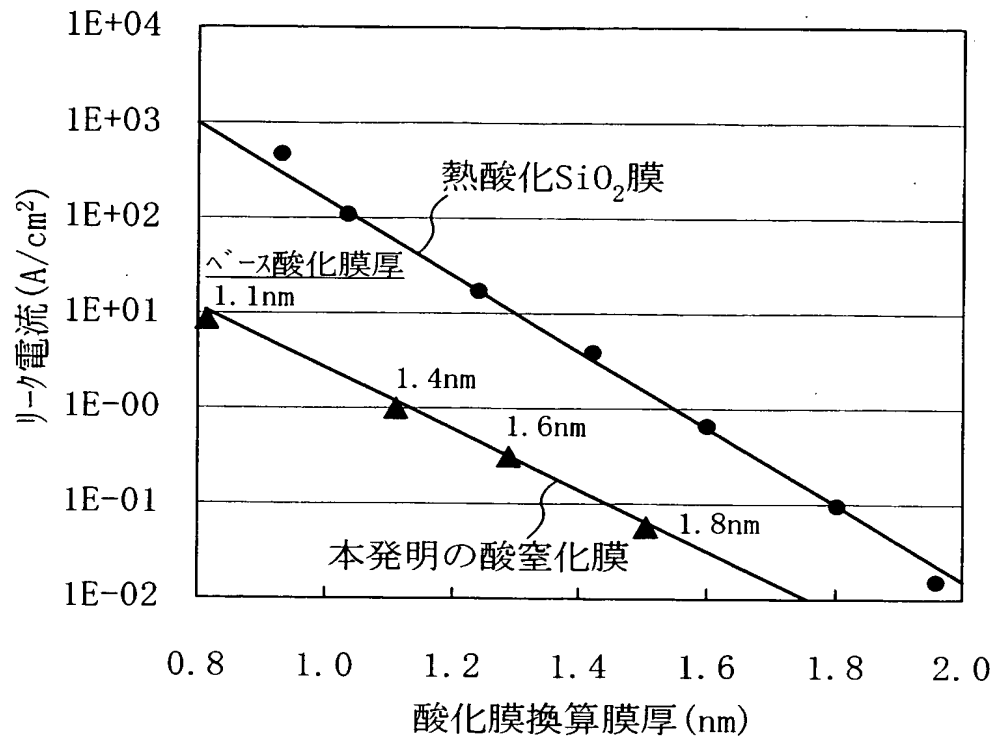
【図 4】



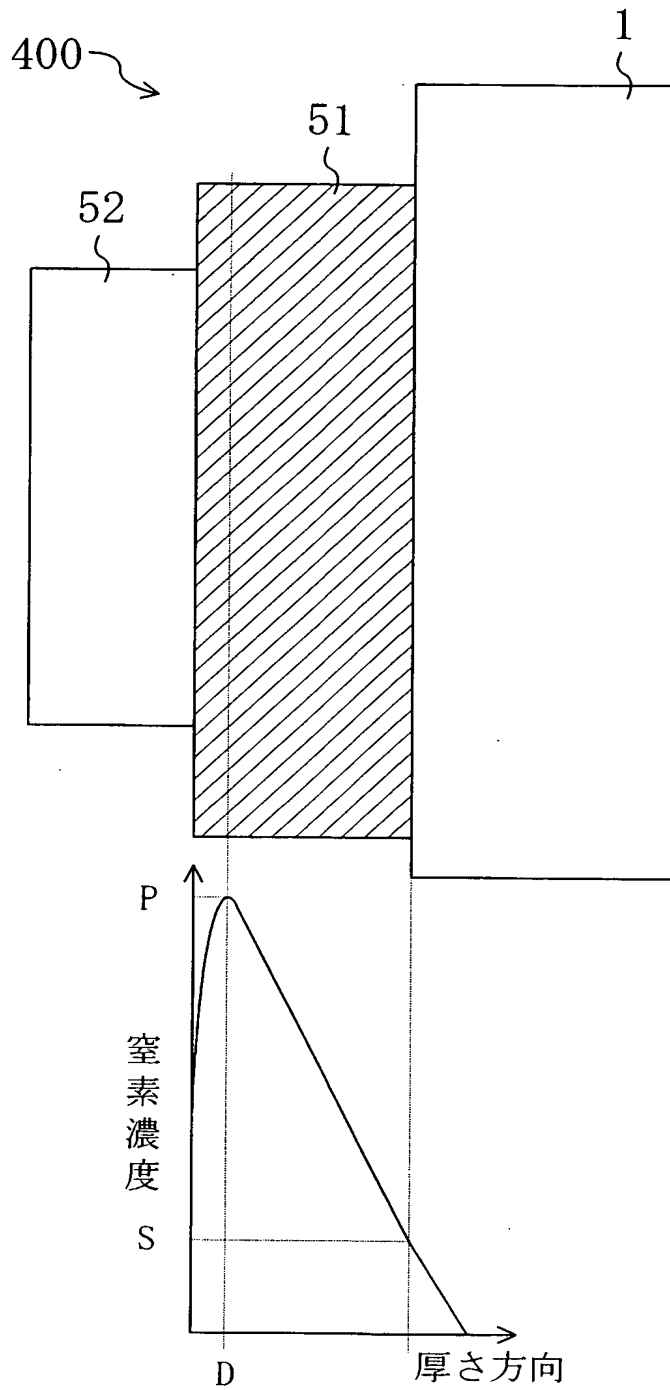
【図 5】



【図 6】

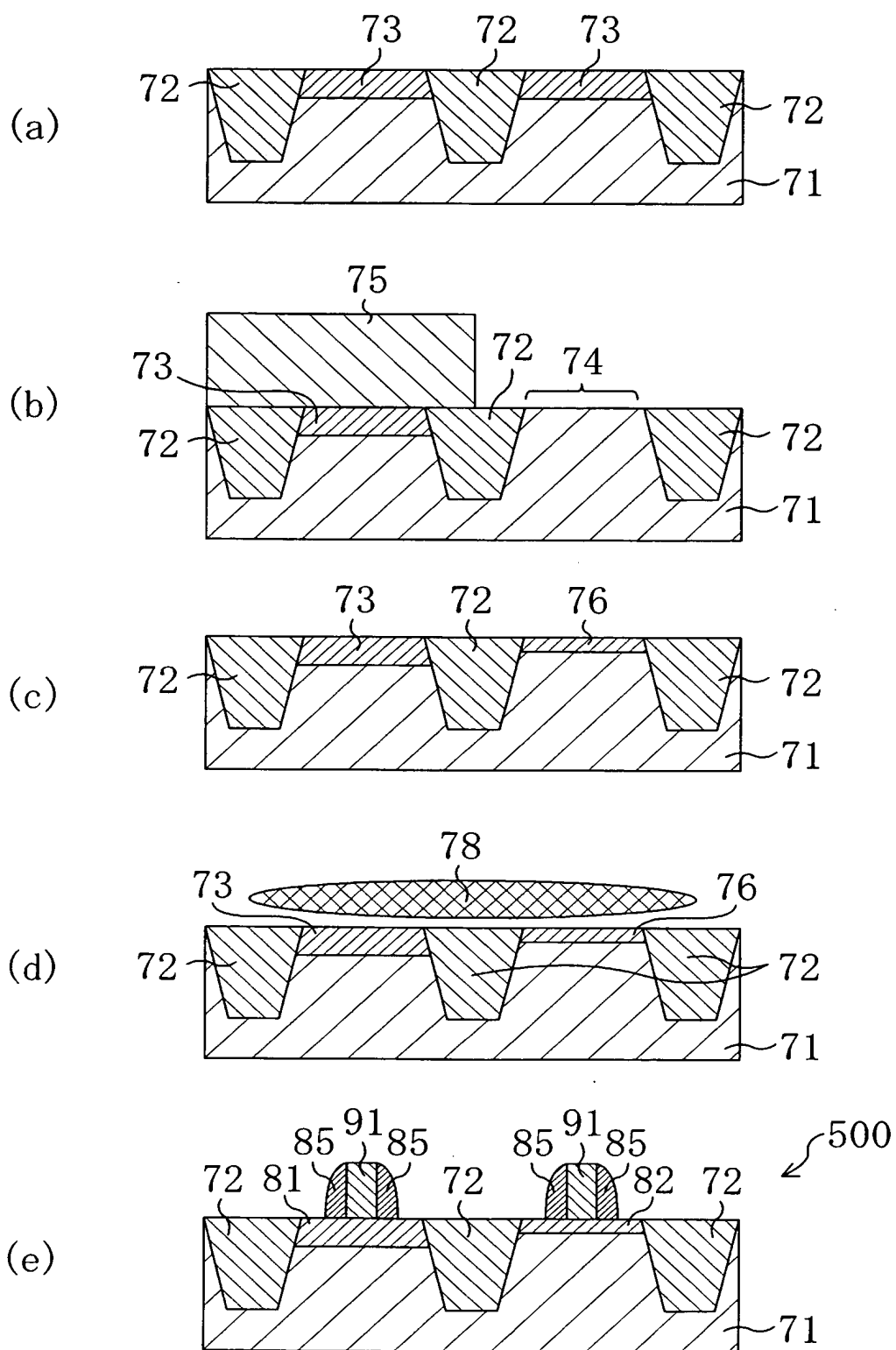


【図 7】

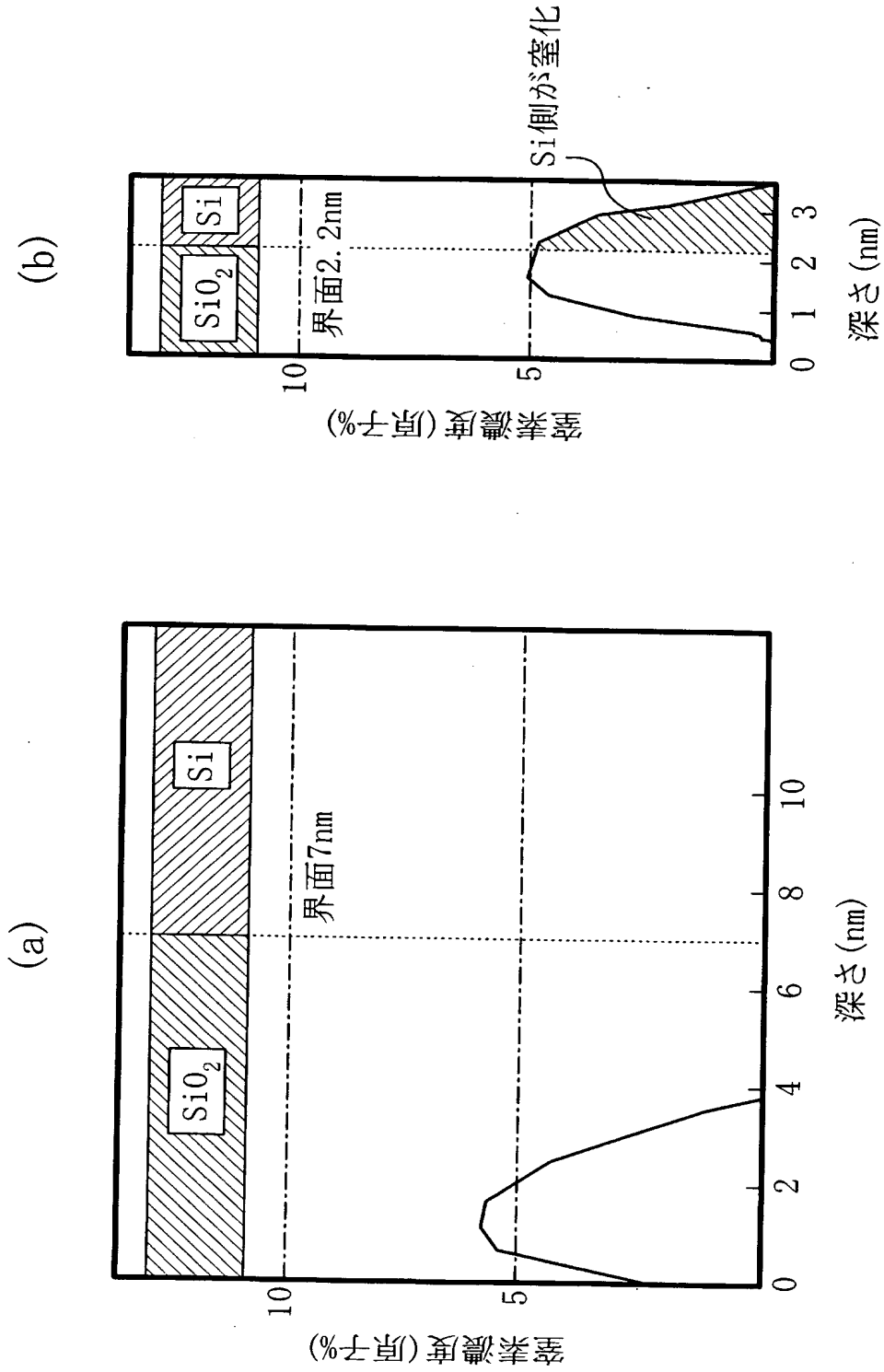




【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高速駆動に対応した薄いゲート絶縁膜を膜厚制御よく形成でき、更に半導体基板側に貫通しない窒化を行うことのできる半導体装置の製造方法および膜質が良好な薄いゲート絶縁膜を備え半導体基板側がほとんど窒化されていない半導体装置を提供する。

【解決手段】 熱酸化により形成した第 1 の酸化膜 3 の一部をエッチングにより除去する。その除去した部位 4 に熱硝酸 7 を作用させて第 2 の酸化膜 6 を形成する。この 2 つの酸化膜 3, 6 を低エネルギーの窒素プラズマ 8 により窒化して、酸窒化膜である第 1 のゲート絶縁膜 1 1 及び第 2 のゲート絶縁膜 1 2 とする。

【選択図】 図 1

特願 2 0 0 3 - 1 0 3 7 4 4

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変 更 年 月 日

1 9 9 0 . 年    8 月 2 8 日

[ 変 更 理 由 ]

新 規 登 録

住    所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏    名

松 下 電 器 産 業 株 式 会 社